

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-153398

(43)Date of publication of application : 11.06.1996

(51)Int.Cl.

G11C 16/06
// H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 07-241394

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.09.1995

(72)Inventor : IMAMIYA KENICHI
NAKAMURA HIROSHI

(30)Priority

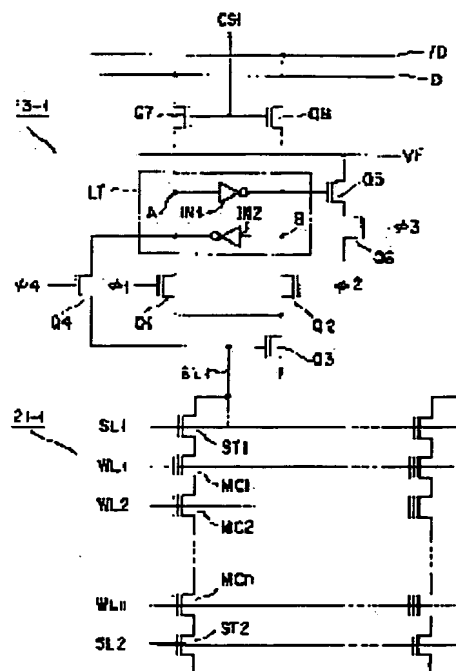
Priority number : 06238078 Priority date : 30.09.1994 Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS EXCESS WRITE SAVING METHOD

(57)Abstract:

PURPOSE: To provide a nonvolatile semiconductor memory and its excess write saving method capable of saving its memory cell even when the memory cell in the excess write state when a threshold value voltage raises than a prescribed value in once write operation occurs.

CONSTITUTION: When the data are read out from selected memory cells MC 1-MCn at an excess write verifying time, the potential of a bit line is changed according to the data. When a transistor Q1 is turned on, a latch circuit LT is set according to the data of the bit line BL1. When the memory cell in the excess write state exists, the data of the selected memory cell are latched to the latch circuit LT according to the state of the latch circuit LT, and the data by one page are erased. Thereafter, by conducting regular write operation by means of the data latched to the latch circuit LT, the memory cell in the excess write state is made a normal threshold value voltage.



LEGAL STATUS

[Date of request for examination] 28.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3199989

[Date of registration] 15.06.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-153398

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
G 1 1 C 16/06
// H 0 1 L 27/115
21/8247

G 1 1 C 17/ 00 5 1 0 A
3 0 9 F

審査請求 未請求 請求項の数20 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平7-241394

(22) 出願日 平成7年(1995)9月20日

(31) 優先権主張番号 特願平6-238078

(32) 優先日 平6(1994)9月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 中村 寛

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

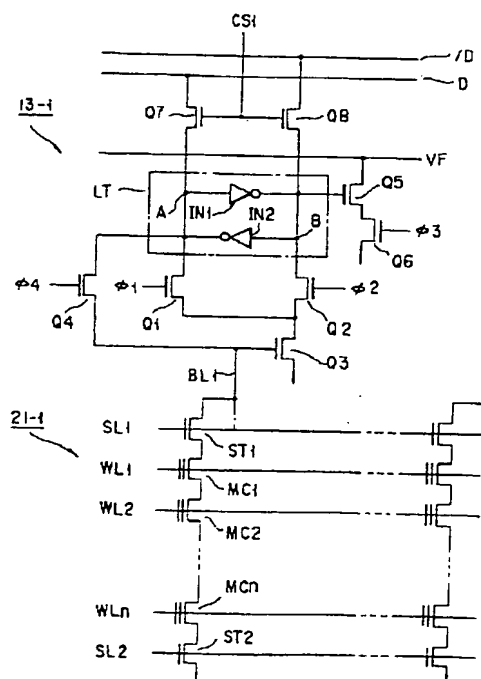
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置とその過書き込み救済方法

(57) 【要約】

【課題】 1回の書き込み動作で閾値電圧が所定値より上昇する過書き込み状態のメモリセルが発生した場合においても、そのメモリセルを救済することが可能な不揮発性半導体記憶装置とその過書き込み救済方法を提供する。

【解決手段】 過書き込みベリファイ時、選択されたメモリセル (MC1~ MCn) からデータを読み出すと、ビット線の電位はこのデータに応じて変化する。トランジスタ (Q1) をオンとするとビット線 (BL1) のデータに応じてラッチ回路 (LT) がセットされる。このラッチ回路 (LT) の状態により、過書き込み状態のメモリセルがある場合、選択されているメモリセルのデータをラッチ回路 (LT) にラッチし、1ページ分のデータを消去する。この後、ラッチ回路 (LT) にラッチしたデータによって通常の書き込み動作を行うことにより、過書き込み状態のメモリセルを正常な閾値電圧とすることができる。



1

【特許請求の範囲】

【請求項 1】 複数のメモリセルを含むメモリセルアレイと、

前記メモリセルアレイが接続されたビット線と、

選択された前記メモリセルに書き込むためのデータ、及び前記メモリセルから読み出されたデータをラッチするラッチ回路と、

前記ラッチ回路と前記ビット線の間に接続され、複数の前記メモリセルに過書き込み状態のメモリセルがある場合、そのメモリセルのデータを読み出して前記ラッチ回路にコピーし、前記メモリセルのデータを消去した後、前記ラッチ回路にコピーされたデータを前記メモリセルに書き込む制御回路とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記メモリセルアレイは、複数の前記メモリセルの各電流通路が直列接続された NAND 型メモリセルを構成し、この NAND 型メモリセルの一端は前記ビット線に接続されていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記メモリセルはデータの書き込み時に選択的に閾値電圧が上昇され、消去時に一括して閾値電圧が低下されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記複数のメモリセルの各電流通路はビット線に並列接続され、前記メモリセルはデータの書き込み時に選択的に閾値電圧を下げ、消去時に閾値電圧を一括して上げることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記複数のメモリセルは、NOR 型メモリセルを構成することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 前記複数のメモリセルは、AND 型メモリセルを構成することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 7】 前記複数のメモリセルは、DINOR 型メモリセルを構成することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 8】 1 ページ分のデータを消去する消去手段をさらに具備することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】 前記消去手段は、1 ページ分のデータに対して過書き込みのメモリセルの閾値電圧を正常な閾値電圧とするに十分な消去動作を行うことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 前記ラッチ回路は第 1、第 2 のノードを有し、第 1 のノードに書き込みデータを記憶することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】 前記制御回路は、電流通路の一端が前記ラッチ回路の第 1 のノードに接続され、電流通路の他端が前記ビット線に接続され、ゲートに供給される第 1

2

のタイミング信号に応じて、前記第 1 のノードに記憶されたデータを前記メモリセルアレイのうち選択されたメモリセルに供給する第 1 のトランジスタと、

ゲートが前記ビット線に接続され、前記ビット線の電位に応じて導通状態が制御される第 2 のトランジスタと、電流通路の一端が前記ラッチ回路の前記第 2 のノードに接続され、電流通路の他端が前記第 2 のトランジスタの電流通路の一端に接続され、書き込みデータを検証する書き込みベリファイ時、ゲートに供給される第 2 のタイミング信号に応じて前記ビット線の電位を第 2 のノードに伝達する第 3 のトランジスタと、

電流通路の一端が前記ラッチ回路の前記第 1 のノードに接続され、電流通路の他端が前記第 2 のトランジスタの電流通路の一端に接続され、可か着込み状態のメモリセルを検証する過書き込みベリファイ時、及びデータの読み出し時にゲートに供給される第 3 のタイミング信号に応じて前記ビット線の電位を前記第 1 のノードに伝達する第 4 のトランジスタとを具備することを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】 ゲートが前記ビット線に接続され、電流通路の一端が前記第 4 のトランジスタの電流通路の他端に接続された第 5 のトランジスタを具備することを特徴とする請求項 11 記載の不揮発性半導体記憶装置。

【請求項 13】 ゲートが前記第 2 のノードに接続され、電流通路の一端がベリファイ線に接続され、前記書き込みベリファイ時、及び過書き込みベリファイ時に前記第 2 のノードに記憶されたデータに応じて導通状態が制御される第 6 のトランジスタを具備することを特徴とする請求項 11 記載の不揮発性半導体記憶装置。

【請求項 14】 前記第 1 乃至第 5 のトランジスタは N チャネルトランジスタによって構成されていることを特徴とする請求項 12 記載の不揮発性半導体記憶装置。

【請求項 15】 前記第 1 のトランジスタは N チャネルトランジスタによって構成され、第 2 乃至第 5 トランジスタは P チャネルトランジスタによって構成されていることを特徴とする請求項 12 記載の不揮発性半導体記憶装置。

【請求項 16】 メモリセルにデータが過書き込みされている場合、そのメモリセルのデータを読み出し、ラッチ回路にコピーする工程と、

前記メモリセルのデータを消去する工程と、前記ラッチ回路にコピーしたデータを前記メモリセルに書き込む工程とを具備することを特徴とする不揮発性半導体記憶装置の過書き込み救済方法。

【請求項 17】 選択された前記メモリセルのゲートに第 1 の電圧を供給して書き込んだデータを読み出し、この読み出したデータが正常か否かをベリファイする書き込みベリファイ工程を具備することを特徴とする請求項 16 記載の不揮発性半導体記憶装置の過書き込み救済方法。

【請求項 18】 前記書き込みベリファイにおいて、ベリ

3

ファイ結果が正常である場合、前記メモリセルのゲートに前記第 1 の電圧とは異なる第 2 の電圧を供給してメモリセルからデータを読み出し、この読み出したデータが正常か否かをベリファイする過書き込みベリファイ工程を有することを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置の過書き込み救済方法。

【請求項 1 9】 前記消去工程は、1 つのワード線に接続された複数のメモリセルのデータを一括して消去することを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置の過書き込み救済方法。

【請求項 2 0】 メモリセルにデータが過書き込みされている場合、そのメモリセルのデータを読み出し、ラッチ回路にコピーする工程と、

前記メモリセルのデータを軽く消去する消去工程と、選択された前記メモリセルからデータを読み出し、この読み出したデータが正常か否かをベリファイする書き込みベリファイ工程とをさらに具備することを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置の過書き込み救済方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】この発明は、例えばフラッシュ EEPROM に係わり、特に、その過書き込みを救済することが可能な不揮発性半導体記憶装置とその過書き込み救済方法に関する。

【0 0 0 2】

【従来の技術】図 2 0 は、NAND 型フラッシュメモリのセル構造を示す回路図である。この NAND 型フラッシュメモリは、浮遊ゲート及び制御ゲートを有する MOS トランジスタからなるメモリセル M 1 ~ M 1 6 が直列に接続されている。このセル列の一端は選択トランジスタ Q 1 1 を介してビット線 B L に接続され、他端は選択トランジスタ Q 1 2 を介して共通ソース線 S に接続されている。各トランジスタは同一のウェル W 上に形成されている。各メモリセル M 1 ~ M 1 6 の制御ゲートはワード線 W L 1 ~ W L 1 6 に接続されており、選択トランジスタ Q 1 1 の制御ゲートは選択線 S L 1 に接続され、選択トランジスタ Q 1 2 の制御ゲートは選択線 S L 2 に接続されている。

【0 0 0 3】 NAND 型フラッシュメモリは、通常データ “1” が保持されている状態を「消去状態」と呼び、データ “0” が保持されている状態を「書き込み状態」と呼ぶ。データ “0” を保持したメモリセルは、例えば 0 V 以上 5 V 以下の閾値電圧を有し、データ “1” を保持したメモリセルは、0 V 以下の閾値電圧を有している。また、図 2 1 (a) に示すように、データ “1” が保持されているメモリセルの閾値電圧を正方向にシフトさせ、データ “0” を保持するようにすることを「書き込み動作」と呼び、図 2 1 (b) に示すように、データ “0” が保持されているメモリセルの閾値電圧を負方向

4

にシフトさせデータ “1” を保持するようにすることを「消去動作」と呼ぶ。

【0 0 0 4】図 2 2 は、読み出し、消去及び書き込みの各動作時に、メモリセルに印加する電圧を示している。例えば読み出し動作時は、まず、ビット線 B L が 5 V にプリチャージされ浮遊状態とされる。この後、選択線 S L 1 に 5 V、選択メモリセルのワード線 W L に 0 V、非選択メモリセルのワード線 W L に 5 V、選択線 S L 2 に 5 V、ウェル W に 0 V、共通ソース線 S に 0 V を印加する。すると、選択メモリセル以外の全てのトランジスタがオンする。選択メモリセルにデータ “0” が保持されている場合、このメモリセルは非導通となりビット線 B L の電位は 5 V のままで変化しない。また、選択メモリセルにデータ “1” が保持されている場合、このメモリセルは導通となるためビット線 B L は放電され電位が低下する。このビット線の電位を検出することによりデータをセンスする。

【0 0 0 5】一方、消去動作時において、ビット線 B L は開放、選択線 S L 1 に 0 V、メモリセルのワード線 W L に 0 V、選択線 S L 2 に 0 V、ウェル W に 1 8 V、そして共通ソース線 S に 1 8 V を印加する。すると、浮遊ゲートとウェル間にゲート絶縁膜を介してトンネル電流が流れ、閾値電圧は 0 V 以下になる。

【0 0 0 6】書き込み動作時は、書き込みデータによって異なった電圧を印加する。すなわち、データ “0” を書き込む場合、ビット線 B L に 0 V を印加し、データ “1” を書き込む場合、ビット線 B L に 9 V を印加する。選択線 S L 1 には 1 1 V、選択メモリセルのワード線 W L には 1 8 V、非選択メモリセルのワード線 W L には 9 V、選択線 S L 2 には 0 V、ウェル W には 0 V、共通ソース線 S には 0 V を印加する。この結果、選択トランジスタ Q 1 1 からメモリセル M 1 6 までの全てのトランジスタは導通し、ビット線と同電位となる。

【0 0 0 7】したがって、ビット線 B L に 0 V が印加されたメモリセルはチャネルと制御ゲートとの間の電圧が 1 8 V の高電圧となり、トンネル電流によってこのメモリセルの閾値電圧は正方向にシフトする。また、ビット線 B L に 9 V が印加されたメモリセルはチャネルと制御ゲートとの間に 9 V しかかからないため、閾値電圧の正方向のシフトは抑圧される。この 9 V を書き込み禁止電圧と呼ぶ。

【0 0 0 8】

【発明が解決しようとする課題】ところで、不揮発性半導体記憶装置はトンネル電流を用いてデータを書き込むため、書き込み速度は各メモリセルによってばらつきがある。したがって、たとえ各メモリセルの書き込み時間が同じであっても、あるメモリセルの閾値電圧は 0 V 以上 5 V 以下の範囲となり、他のメモリセルの閾値電圧は 5 V を越えてしまうこともある。

【0 0 0 9】上述したように、NAND 型フラッシュメ

5

メモリは読み出し時に非選択メモリセルのワード線に5Vを印加してオンさせるが、あるメモリセルの閾値電圧が5Vを越えているとそのメモリセルはオフのままである。したがって、そのメモリセルにより電流経路が遮断されてしまうため、そのメモリセルと直列に接続された残り全てのメモリセルのデータを読み出せなくなってしまう。

【0010】そこで、書き込み時間を短い時間に区分けし、書き込み→ベリファイ→再書き込みのためのデータ設定→書き込み→ベリファイ→再書き込みのためのデータ設定……と繰り返す方法が採られている。ベリファイ動作により閾値電圧が十分上昇したメモリセルは、次のサイクルにおいて書き込み動作を行わないように再書き込みデータを設定する。

【0011】すなわち、図23(a)に示すように、1回目の書き込み終了時に、書き込み対象としての選択メモリセルMCの閾値電圧が-1Vであった場合、図23(b)に示すように、再度書き込みが行われ、閾値電圧が0V以上5V以下の範囲となるようにされる。このようにすると、書き込みの速いセルは速く書き込み動作が終了し、その後の閾値電圧の上昇はなくなる。

【0012】しかし、図23(c)に示すように、希に1回の書き込み動作で選択メモリセルMCの閾値電圧が急激に上昇し、5Vの上限を越えてしまう場合がある。この場合、ベリファイ動作では正常に書き込みが終了したものとされるが、上述したようにこのメモリセルと直列に接続された他のメモリセルのデータを読み出すことができなくなってしまう。このような現象は、書き込み、消去を繰り返し行った場合希に起こるため、試験によってこのメモリセルをスクリーニングすることは困難である。

【0013】この発明は、上記課題を解決するものであり、その目的とするところは、1回の書き込み動作で閾値電圧が所定値より上昇する過書き込み状態のメモリセルが発生した場合においても、そのメモリセルを救済することが可能な不揮発性半導体記憶装置とその過書き込み救済方法を提供しようとするものである。

【0014】

【課題を解決するための手段】この発明の不揮発性半導体記憶装置は、複数のメモリセルを含むメモリセルアレイと、前記メモリセルアレイが接続されたビット線と、選択された前記メモリセルに書き込むためのデータ、及び前記メモリセルから読み出されたデータをラッチするラッチ回路と、前記ラッチ回路と前記ビット線の間に接続され、複数の前記メモリセルに過書き込み状態のメモリセルがある場合、そのメモリセルのデータを読み出して前記ラッチ回路にコピーし、前記メモリセルのデータが消去された後、前記ラッチ回路にコピーされたデータを前記メモリセルに書き込む制御回路とを具備している。

【0015】この発明の不揮発性半導体記憶装置の過書

6

き込み救済方法は、メモリセルにデータが過書き込みされている場合、そのメモリセルのデータを読み出し、ラッチ回路にコピーする工程と、前記メモリセルのデータを消去する工程と、前記ラッチ回路にコピーしたデータを前記メモリセルに書き込む工程とを具備している。

【0016】すなわち、過書き込みベリファイ時に、過書き込み状態のメモリセルが検出された場合、メモリセルに記憶されているデータを読み出し、この読み出したデータをラッチ回路にコピーする。書き込みセルの書き込み量は十分であり、非書き込みセルはデータが書き込まれていないため、ラッチ回路にはメモリセルの書き込み開始時と同様の状態に書き込みデータがラッチされることとなる。この後、過書き込み状態のメモリセルのデータを消去し、続いて、このデータが消去されたメモリセルにラッチ回路にラッチされたデータを再度書き込む。このようにすることにより、過書き込み状態のメモリセルの閾値電圧を正常な値に設定することができる。

【0017】

【発明の実施の形態】以下、この発明の実施例について図面を参照して説明する。

【0018】図2は、NAND型フラッシュメモリを用いた不揮発性半導体記憶装置の全体的な構成を示している。不揮発性半導体記憶装置10はメモリセルアレイ11、ロウデコーダ12、センス／ラッチ回路13、カラムデコーダ14、カラムゲート15、昇圧回路16、制御回路17、I/Oバッファ18によって構成されている。

【0019】メモリセルアレイ11は複数のNAND型メモリセルがマトリクス状に配設されており、縦方向にビット線BLが数千本、横方向にワード線WLが数千本配列されている。ロウデコーダ12はワード線を外部から入力されたアドレスに基いて選択する。センス回路とデータのラッチ回路を含むセンス／ラッチ回路13はメモリセルアレイ11の後述するビット線及びカラムゲート15に接続されている。カラムゲート15はカラムデコーダ14及びI/Oバッファ18に接続されている。カラムデコーダ14はI/Oバッファ18を介して外部から入力されたアドレスに基づきカラムゲート15を制御し、ビット線および対応するセンス／ラッチ回路13を選択する。昇圧回路16は書き込み動作や消去動作に必要な高電圧を供給する。制御回路17は書き込み動作、消去動作、読み出し動作、書き込みベリファイ動作、後述する過書き込みベリファイ動作、メモリセルに記憶されたデータをラッチ回路にコピーするセルデータのコピー動作、及び1ページ分のデータを消去する1ページ消去動作等を制御する。また、I/Oバッファ18はチップ外部とのインターフェースをとる。

【0020】図3は、図2の要部を示す回路図であり、図2と同一部分には同一符号を付す。図3において、ビット線BL1には、NAND型フラッシュメモリ21-

7

1~21-nが接続され、ビット線BL2には、NAND型フラッシュメモリ22-1~22-nが接続され、ビット線BLnには、NAND型フラッシュメモリ2n-1~2n-nが接続されている。各ビット線BL1、BL2~BLnの一端にはセンス／ラッチ回路(S/LT)13-1、13-2~13-nがそれぞれ接続されている。各センス／ラッチ回路13-1、13-2~13-nは前記カラムゲートから出力されるカラム選択信号CS1、CS2~CSnによって選択される。各センス／ラッチ回路13-1、13-2~13-nには、データを送るデータ線D、/D(/は反転信号を示す)、ペリファイ線VFが接続されるとともに、タイミング信号φ1、φ2、φ3、φ4がそれぞれ供給されている。前記ペリファイ線VFにはペリファイ結果を示す信号が伝送される。

【0021】前記各ビット線BL1、BL2~BLnの他端にはPチャネルトランジスタQ10のドレインがそれぞれ接続されている。各トランジスタQ10はビット線BL~BLnを充電するものであり、各ソースには電源VBLが供給され、各ゲートにはタイミング信号φ5が供給されている。前記電源VBLは書き込み動作時9V、それ以外の時は5Vとなる。前記各タイミング信号φ1~φ5は前記制御回路17に含まれたクロック発生回路17-1によって生成される。なお、図3において、ワード線及び選択線は省略している。

【0022】図1は、この発明の要部を示すものであり、前記センス／ラッチ回路を示すものである。このセンス／ラッチ回路は全て同一構成であるため、センス／ラッチ回路13-1についてのみその構成を説明する。

【0023】前記データ線D、/Dには、NチャネルトランジスタQ7、Q8の電流通路の一端がそれぞれ接続されている。これらトランジスタQ7、Q8の電流通路の他端には、ラッチ回路LTを構成するインバータ回路IN1、IN2が接続されている。すなわち、インバータ回路IN1の入力端、及びインバータ回路IN2の出力端はトランジスタQ7の電流通路の他端(ノードA)に接続され、インバータ回路IN1の出力端、及びインバータ回路IN2の入力端はトランジスタQ8の電流通路の他端(ノードB)に接続されている。前記ノードAにはNチャネルトランジスタQ1の電流通路の一端が接続され、前記ノードBにはNチャネルトランジスタQ2の電流通路の一端が接続されている。これらトランジスタQ1、Q2のゲートには前記タイミング信号φ1、φ2がそれぞれ供給され、トランジスタQ1、Q2の電流通路の他端は互いにNチャネルトランジスタQ3の電流通路の一端に接続されている。このトランジスタQ3の電流通路の他端は接地され、ゲートは前記ビット線BL1に接続されている。

【0024】また、前記ノードAにはNチャネルトランジスタQ4の電流通路の一端が接続されている。このト

8

ランジスタQ4のゲートには前記タイミング信号φ4が供給され、電流通路の他端は前記ビット線BL1に接続されている。さらに、前記ノードBにはNチャネルトランジスタQ5のゲートが接続されている。このトランジスタQ5の電流通路の一端は前記ペリファイ線VFに接続され、他端はNチャネルトランジスタQ6の電流通路の一端に接続されている。トランジスタQ6のゲートには前記タイミング信号φ3が供給され、電流通路の他端は接地されている。なお、トランジスタQ6及びタイミング信号φ3は省略することが可能である。

【0025】前記ビット線BL1には、NAND型フラッシュメモリ21-1...が接続されている。フラッシュメモリ21-1の各メモリセルMC1、MC2~MCnは、ワード線WL1~WLnによって他のビット線に接続されたメモリセルに接続され、各選択トランジスタST1、ST2は選択線SL1、SL2によって他のビット線に接続された選択トランジスタに接続されている。なお、1つのワード線によって同時に選択される複数のメモリセルは1ページを構成する。

【0026】上記構成において、センス／ラッチ回路13-1の動作について、図4乃至図9を参照して説明する。

【0027】図4は、メモリセルにデータを書き込む動作を示している。書き込み動作は、まず、ラッチ回路LTに書き込みデータをラッチする。メモリセルにデータを書き込む場合、ラッチ回路LTのノードAは破線で示すようにローレベルに設定され、ノードBはハイレベルに設定される。すなわち、カラム選択信号CS1によってトランジスタQ7、Q8をオンとし、データ線D、/Dを介してラッチ回路LTのノードAをローレベル、ノードBをハイレベルに設定する。この後、タイミング信号φ4によってトランジスタQ4をオンとし、ビット線BL1を介して選択されたメモリセルにデータを書き込む。メモリセルに対するデータを書き込み動作は従来技術で説明した動作と同様である。メモリセルにデータが十分書き込まれた場合、そのメモリセルの閾値電圧は上昇し、そのメモリセルはオフとなる。

【0028】図5は、データを書き込み状態をペリファイする書き込みペリファイ動作を示している。この場合、まず、ビット線BL1が図3に示すトランジスタQ10によってプリチャージされ、この後、選択するメモリセルのワード線の電位がペリファイレベル(0.5V)に上昇される。選択されたメモリセルにデータが書き込まれ、閾値電圧が十分高くなっている場合、そのメモリセルはオフとなっているため、ビット線BL1は実線で示すように充電電位を保持する。しかし、データが十分に書き込まれていない場合、メモリセルはオンとなっているため、ビット線BL1の電荷は放電され、破線で示すように電位が低下する。

【0029】このようにメモリセルを選択した後、タイ

9

ミング信号φ2によってトランジスタQ2をオンとする。すると、データが十分書き込まれていず、ビット線BL1の電位が低い場合、トランジスタQ3はオフしているため、ラッチ回路LTのノードBは実線で示すようにハイレベル、ノードAはローレベルとなる。すなわち、メモリセルにデータが十分書き込まれていない場合、ラッチ回路LTの状態は書き込み開始時のままであり変化しない。このとき、トランジスタQ5はオンしており、タイミング信号φ3によってトランジスタQ6がオンするとペリファイ線VFはローレベルとなる。ペリ

【0030】一方、メモリセルにデータが十分書き込まれ、ビット線BL1の電位が高い場合、トランジスタQ3はオンとなり、ラッチ回路LTの状態が変化する。すなわち、ラッチ回路LTのノードBは破線で示すようにローレベル、ノードAはハイレベルとなり、トランジスタQ5はオフとなる。このため、ペリファイ線VFがハイレベルとなり、書き込み動作が終了される。

【0031】図6は、データの読み出し動作を示している。メモリセルのデータを読み出す場合、先ず、前述したようにビット線BL1をプリチャージし、この後、タイミング信号φ1によってトランジスタQ1をオンとしてラッチ回路LTをリセットする。次いで、ワード線を昇圧してメモリセルを選択する。選択されたメモリセルにデータが書き込まれ、閾値電圧が十分高くなっている場合、そのメモリセルはオフとなっているため、ビット線BL1は充電電位を保持する。しかし、データが書き込まれていない場合、メモリセルはオンとなっているため、ビット線BL1の電荷は放電され電位が低下する。

【0032】この状態において、タイミング信号φ2によってトランジスタQ2をオンとする。すると、メモリセルにデータが書き込まれていず、ビット線BL1の電位が低い場合、トランジスタQ3はオフしているため、ラッチ回路LTのノードBは破線で示すようにハイレベル、ノードAはローレベルとなる。また、メモリセルにデータが書き込まれている場合、トランジスタQ3はオンするため、ラッチ回路LTのノードBは実線で示すようにローレベル、ノードAはハイレベルに反転する。このラッチ回路LTに読み出されたデータは、トランジスタQ7、Q8を介してデータ線D、 \bar{D} に伝送される。

【0033】消去動作は図20、図22を用いて説明したと同様である。すなわち、各ビット線は開放、選択線SL1に0V、メモリセルのワード線WLに0V、選択線SL2に0V、ウェルWに18V、そして共通ソース線に18Vを印加する。すると、浮遊ゲートとウェル間にゲート絶縁膜を介してトンネル電流が流れ、各メモリセルの閾値電圧は0V以下になる。

【0034】図7は、消去ペリファイ動作を示すもので

10

ある。この場合、先ず、前述したようにビット線BL1をプリチャージし、この後、タイミング信号φ2によってトランジスタQ2をオンとすることによってラッチ回路LTをリセットする。次に、ワード線を昇圧してメモリセルを選択し、タイミング信号φ1によってトランジスタQ1をオンとしてビット線の電位を読み出す。この結果、消去できた場合、ビット線BL1の電位は低下し、ラッチ回路LTのノードBは実線で示すようにローレベルとなる。また、消去が十分でない場合、ビット線BL1の電位は低下せず、ラッチ回路LTのノードBは破線で示すようにハイレベルとなる。ノードBがハイレベルの場合、トランジスタQ5はオンとなる。このため、タイミング信号φ3によってトランジスタQ6がオンとなると、ペリファイ線VFの電位が低下する。消去が不十分なメモリセルが1つでもある場合、前記消去動作が実行される。

【0035】図8は、図1の動作を示すものであり、過書き込み状態のメモリセルを救済する動作の一実施例を示している。この実施例では、前述した書き込み動作(ST1)後、書き込みペリファイ動作(ST2)を行い、この結果、書き込みが正常に終了した場合、閾値電圧が5Vを越えるメモリセルをペリファイする過書き込みペリファイ動作(ST3)が行われる。この結果、過書き込み状態のメモリセルがない場合、一連の書き込み動作が終了する。

【0036】一方、過書き込み状態のメモリセルがある場合、過書き込み状態のメモリセルに記憶されたデータがラッチ回路LTにコピーされ(ST4)、この過書き込み状態のメモリセルを含む1ページ分のデータが消去される(ST5)。この後、再度書き込み動作及び書き込みペリファイ動作を行い(ST1、ST2)、前記ラッチ回路LTにコピーしたデータが前記データを消去したメモリセルに書き込まれる。

【0037】図9は、前記過書き込みペリファイ動作を示している。過書き込みペリファイ動作では、図5に示す書き込みペリファイ動作と同様に、先ず、ビット線BL1がプリチャージされ、この後、選択するメモリセルのワード線の電位が通常の読み出し時より高いペリファイレベルに上昇される。選択されたメモリセルが過書き込み状態の場合、そのメモリセルはオフとなっているため、ビット線BL1は充電電位を保持する。しかし、データが正常に書き込まれている場合、あるいはデータが書き込まれていない場合、メモリセルはオンとなっているため、ビット線BL1の電荷は放電され電位が低下する。この後、タイミング信号φ1によってトランジスタQ1をオンとする。すると、データが正常に書き込まれている場合、あるいはデータが書き込まれていず、ビット線BL1の電位が低い場合、トランジスタQ3はオフ、ラッチ回路LTのノードAはハイレベル、ノードBはローレベルとなる。この場合、トランジスタQ5はオ

11

フしており、タイミング信号φ3によってトランジスタQ6がオンした場合、ペリファイ線VFはハイレベルとなる。したがって、書き込み動作は終了する。

【0038】一方、過書き込み状態のメモリセルがある場合、ビット線BL1の電位はハイレベルであるため、トランジスタQ3はオンとなっている。このため、タイミング信号φ1によってトランジスタQ1をオンすると、ラッチ回路LTのノードAはローレベル、ノードBはハイレベルとなる。この場合、トランジスタQ5はオンするため、タイミング信号φ3によってトランジスタQ6がオンした場合、ペリファイ線VFはローレベルとなる。このように、ペリファイ線VFがローレベルの場合、制御部17は過書き込み状態のメモリセルが存在すると認識し、メモリセルに記憶されたデータのコピー動作(ST4)が実行される。

【0039】図10は、データのコピー動作を示すものである。このコピー動作は前述した読出し動作と同様に、まず、ビット線BL1がプリチャージされ、この後、メモリセルに通常の読出しバイアスが供給される。すなわち、選択ワード線がローレベル(0V)とされ、非選択ワード線がハイレベル(5V)とされる。この後、タイミング信号φ1によってトランジスタQ1をオンとする。すると、データが書き込まれていず、ビット線BL1の電位が低い場合、トランジスタQ3はオフ、ラッチ回路LTのノードAは破線で示すようにハイレベル、ノードBはローレベルとなる。

【0040】一方、データが正常に書き込まれている場合、あるいは過書き込み状態のメモリセルの場合、ビット線BL1の電位はハイレベルであるため、トランジスタQ3はオンとなっている。このため、タイミング信号φ1によってトランジスタQ1をオンすると、ラッチ回路LTのノードAはローレベル、ノードBはハイレベルとなる。すなわち、データを書き込むべきメモリセルに接続されたラッチ回路LTのノードAには書き込みデータがラッチされ、データを書き込まないメモリセルに接続されたラッチ回路LTには書き込みデータがラッチされない。

【0041】上記のようにして、各メモリセルのデータをラッチ回路LTにコピーした後、選択ワード線に接続された1ページ分のデータが消去される。すなわち、選択ワード線のみローレベル(0V)とし、その他の全ワード線をメモリセルのウエルと同一電圧とし1ページ分のデータを消去する。消去時間は例えば1msである。この後、前記ラッチ回路LTにラッチしたデータを用いて、前述した書き込み動作、及び書き込みペリファイ動作を行うことにより、各メモリセルに正常にデータを書き込むことができる。

【0042】上記実施例によれば、書き込みペリファイ動作によって書き込みが正常に終了した場合、過書き込みペリファイ動作によって過書き込み状態のメモリセル

12

を検出し、この結果、過書き込み状態のメモリセルが検出された場合、メモリセルに書き込まれているデータをラッチ回路LTにコピーした後、1ページ分のメモリセルのデータを消去し、ラッチ回路LTにコピーしたデータによって、再度データを書き込んでいる。したがって、データ線を介して書き込みデータを設定することなく、過書き込み状態のメモリセルの閾値電圧を正常な閾値電圧とすることができる。

【0043】しかも、1度の書き込み動作によって、所定の閾値電圧を越えるメモリセルがあっても、そのメモリセルを確実に検出して正常な閾値電圧とすることができる。したがって、不揮発性半導体記憶装置の信頼性を向上できる。

【0044】また、1つのラッチ回路を、トランジスタQ1、Q2、Q4に供給されるタイミング信号φ1、φ2、φ4を切換えることにより、書き込みデータのラッチ手段、読出しデータのラッチ手段、書き込みペリファイ、過書き込みペリファイ時のデータラッチ手段、データのコピー手段として使用している。したがって、回路構成を簡単化することができる。

【0045】さらに、消去ペリファイが終了した状態において、メモリセルにデータが十分書き込めない場合、ラッチ回路LTにラッチされたデータは、書き込み時のままであり変化しない。したがって、この後、書き込み動作を行う際、データ線を介してデータをセットする必要がない利点を有している。

【0046】また、センス/ラッチ回路は、電流の貫通経路がないため、消費電力を低減できるとともに、ビット線の電位を変動させることがない。

【0047】図11は、過書き込み状態のメモリセルを救済する動作の他の実施例を示すものであり、図8と同一部分には同一符号を付す。

【0048】図8に示す実施例の場合、各メモリセルのデータを各ラッチ回路にコピーした後、1ページ分のデータを完全に消去し、この後、書き込み動作を行い、各ラッチ回路にコピーしたデータを各メモリセルに書き込んでいる。これに対して、この実施例は各メモリセルのデータを各ラッチ回路にコピーした後(ST4)、1ページ分のデータを軽く消去する(ST6)。すなわち、選択ワード線のみローレベル(0V)とし、その他の全ワード線をメモリセルのウエルと同一電圧とし、消去時間を前記実施例の1msより短くする。このようにして、1ページ分のデータを軽く消去した後、前記書き込みペリファイ動作を行う(ST2)。この結果、消去し過ぎたメモリセルがある場合、書き込み動作を行い(ST1)、前記ラッチ回路LTにコピーしたデータをメモリセルに書き込む。

【0049】また、前記書き込みペリファイ動作(ST2)の結果、書き込み結果が良好である場合、過書き込みペリファイの結果が良好となるまで、再度過書き込み

13

ベリファイ動作 (ST3)、データのコピー動作 (ST4)、軽い消去動作 (ST6) が繰り返し実行される。

【0050】この実施例によっても前記実施例と同様の効果を得ることができる。しかも、この実施例によれば、消去時間を短縮できるめ、過書き込みの状態のメモリセルを救済するための時間を短縮できる。

【0051】図12、図13はセンス／ラッチ回路の他の実施例を示すものであり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0052】図12において、トランジスタQ1の電流通路の他端はトランジスタQ31を介して接地されている。トランジスタQ31のゲートはトランジスタQ3のゲートとともにビット線BL1に接続されている。図13において、トランジスタQ1の電流通路の一端はノードAに代えて、ノードBに接続されている。

【0053】図12、図13に示すセンス／ラッチ回路は、次に示す共通の作用を有している。

【0054】(a) トランジスタQ1は図1と同様に、ラッチ回路LTのノードAに記憶されたデータをビット線に転送する。

【0055】(b) ビット線BL1がハイレベルの場合、ノードAを低レベルに設定する。すなわち、ビット線BL1がハイレベルの場合、図12において、トランジスタQ3、Q31はオンとなっている。この状態において、トランジスタQ1をオンとすることによりノードAは低レベルとなる。また、図13において、トランジスタQ1をオンとすることによりインバータ回路IN2の出力端としてのノードAは低レベルとなる。

【0056】(c) ビット線BL1がハイレベルの場合、ノードBを低レベルに設定する。すなわち、図12、図13において、ビット線BL1がハイレベルの場合、トランジスタQ3、Q31はオンであるため、トランジスタQ2をオンとすることによりノードBは低レベルとなる。

【0057】図12、図13に示すセンス／ラッチ回路によっても図1と同様の効果を得ることができる。

【0058】図14はセンス／ラッチ回路の他の実施例を示すものである。図14に示す回路は、複数のメモリセルがビット線に並列接続されたタイプのメモリに適用される。このようなメモリは、メモリセルがビット線に並列に接続されているため、メモリセルの閾値電圧が非選択ワード線の電圧、例えば0Vより低いと、他のメモリセルの読み出しが困難となる。図14はこの回路をNOR型フラッシュメモリに適用した場合を示しているが、この条件を満足していれば、この回路を図19

(a) に示すAND型フラッシュメモリ190、及び図19(b) に示すDINOR (Divided NOR) 型フラッシュメモリ191に適用できる。

【0059】図14に示す回路は、図12に示す回路のNチャネルトランジスタQ1~Q3、及びQ31がPチ

14

ヤネルトランジスタQ41、Q42、Q43、Q44によって構成されている。前記トランジスタQ43、Q44のゲートはビット線BL1に接続され、このビット線BL1にはメモリセルMC1、MC2~MCnの各ドレインが接続されている。メモリセルMC1、MC2~MCnの各ソースは共通接続されている。前記トランジスタQ43、Q44の各ソースは電源Vccに接続され、各ドレインはトランジスタQ42、Q41のソースにそれぞれ接続されている。トランジスタQ41、Q42の各ドレインは前記ノードA、ノードBにそれぞれ接続され、トランジスタQ41、Q42の各ゲートにはそれぞれタイミング信号φ1、φ2が供給されている。尚、トランジスタQ44を省略し、トランジスタQ41のソースをトランジスタQ43のドレインに接続することも可能である。

【0060】上記構成において、動作について説明する。図15は、メモリセルにデータを書き込む動作を示している。書き込み動作は、先ず、ラッチ回路LTに書き込みデータをラッチする。メモリセルにデータを書き込む場合、ラッチ回路LTのノードAは破線で示すようにハイレベルに設定され、ノードBはローレベルに設定される。非書き込みのビット線に接続されたラッチ回路は、実線で示すように、ノードAがローレベルに設定され、ノードBがハイレベルに設定される。この後、タイミング信号φ4によってトランジスタQ4をオンとし、ビット線BL1を介して選択されたメモリセルにデータを書き込む。このとき、選択するメモリセルのワード線は-9Vに設定され、非選択のメモリセルのワード線の電圧は0Vに設定される。メモリセルにデータが十分書き込めた場合、そのメモリセルの閾値電圧は下がる。

【0061】図16は、データの書き込み状態をベリファイする書き込みベリファイ動作を示している。この場合、先ず、ビット線BL1がプリチャージされ、この後、選択するメモリセルのワード線の電位がベリファイレベル、例えば1.5Vに上昇される。非選択のメモリセルのワード線の電位は0Vである。選択されたメモリセルにデータが書き込まれ、閾値電圧が低くなっている場合、そのメモリセルはオンとなっているため、ビット線BL1は破線で示すように放電される。しかし、データが十分に書き込まれていない場合、メモリセルはオフとなっているため、ビット線BL1の電荷は放電されず、実線で示すように電位が保持される。この後、タイミング信号φ2によってトランジスタQ42をオンとする。すると、データが十分書き込まれ、ビット線BL1の電位が低い場合、ラッチ回路LTのノードA、Bの状態が反転する。すなわち、ビット線BL1の電位に応じてトランジスタQ43はオンするため、ラッチ回路LTのノードBは破線で示すようにハイレベル、ノードAはローレベルとなる。このため、ベリファイ線VFがローレベルとなり、書き込み動作が終了される。また、メモ

リセルにデータが十分書き込まれていない場合、ラッチ回路LTの状態は書き込み時のままであり変化しない。この場合、ペリファイ線VFはハイレベルとなり、ラッチ回路LTに保持された書き込みデータを用いて再度、前述した書き込み動作が実行される。

【0062】図17は、過書き込みペリファイ動作を示している。過書き込みペリファイ動作では、全ワード線の電位を0Vの非選択レベル、または0.5Vのペリファイレベルに設定し、ビット線BL1をプリチャージする。メモリセルが過書き込み状態の場合、そのメモリセルはオンとなっているため、ビット線BL1は放電され電位がローレベルとなる。その後、タイミング信号φ1によってトランジスタQ41をオンとする。過書き込み状態のメモリセルがある場合、ビット線BL1の電位はローレベルであるため、トランジスタQ44はオンとなる。このため、ラッチ回路LTのノードAはハイレベル、ノードBはローレベルとなる。この場合、図1に示すトランジスタQ5はオフするため、タイミング信号φ3によってトランジスタQ6がオンした場合、ペリファイ線VFはハイレベルとなる。このように、ペリファイ線VFがハイレベルの場合、制御部17は過書き込み状態のメモリセルが存在すると認識し、メモリセルに記憶されたデータのコピー動作が実行される。

【0063】図18は、データのコピー動作を示すものである。このコピー動作では、まず、ビット線BL1がプリチャージされ、ワード線WLが通常の読み出し電位とされ、この後、タイミング信号φ1によってトランジスタQ41がオンとされる。メモリセルが書き込み状態である場合、ビット線BL1の電位はローレベルであるため、トランジスタQ44がオンとなり、ラッチ回路LTのノードAがハイレベル、ノードBがローレベルとなる。また、メモリセルが非書き込み状態の場合、ビット線BL1の電位はハイレベルであるため、トランジスタQ44はオフであり、ラッチ回路LTのノードAがローレベル、ノードBがハイレベルとなる。このようにしてメモリセルのデータがラッチ回路LTにコピーされた後、メモリセルのデータが消去される。次に、この消去したメモリセルにラッチ回路LTにコピーされたデータが再度書き込まれる。

【0064】この実施例によっても、図1、図12、図13に示す実施例と同様の効果を得ることができる。

【0065】

【発明の効果】以上詳述したようにこの発明によれば、1回の書き込み動作で閾値電圧が所定値より上昇する過書き込み状態のメモリセルが発生した場合においても、そのメモリセルを救済することが可能な不揮発性半導体記憶装置とその過書き込み救済方法を提供できる。

【図面の簡単な説明】

【図1】この発明の実施例を示すものであり、図3の一

部を示す回路図。

【図2】この発明の実施例を概略的に示す構成図。

【図3】図2の要部を取り出して示す構成図。

【図4】図1の書き込み動作を示すタイミング図。

【図5】図1の書き込みペリファイ動作を示すタイミング図。

【図6】図1の読出し動作を示すタイミング図。

【図7】図1の消去ペリファイ動作を示すタイミング図。

【図8】図1の動作を示すものであり、過書き込みセルを救済するための実施例を示すフローチャート。

【図9】図1の過書き込みペリファイ動作を示すタイミング図。

【図10】図1のセルデータのコピー動作を示すタイミング図。

【図11】図1の動作を示すものであり、過書き込みセルを救済するための他の実施例を示すフローチャート。

【図12】センス／ラッチ回路の他の実施例を示す要部の回路図。

【図13】センス／ラッチ回路の他の実施例を示す要部の回路図。

【図14】センス／ラッチ回路の他の実施例を示す要部の回路図。

【図15】図14の書き込み動作を示すタイミング図。

【図16】図14の書き込みペリファイ動作を示すタイミング図。

【図17】図14の過書き込みペリファイ動作を示すタイミング図。

【図18】図14のセルデータのコピー動作を示すタイミング図。

【図19】図19(a)はAND型フラッシュメモリのセル構成を示し、図19(b)はDINOR型フラッシュメモリのセル構成を示す回路図。

【図20】NAND型フラッシュメモリのセル構成を示す回路図。

【図21】図20に示す回路の動作を示す図。

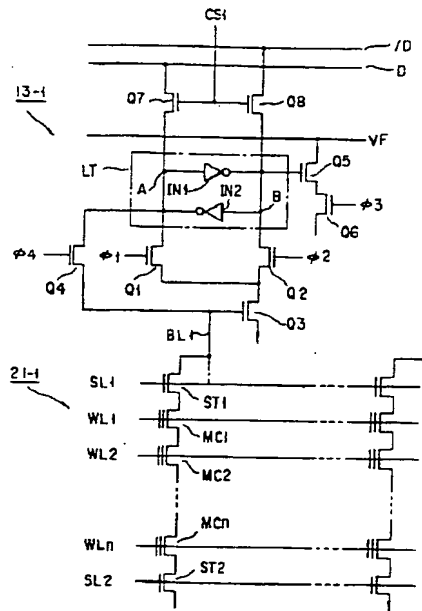
【図22】図20に示す回路の各種動作を説明するために示す図。

【図23】図20に示す回路の動作を示す回路図。

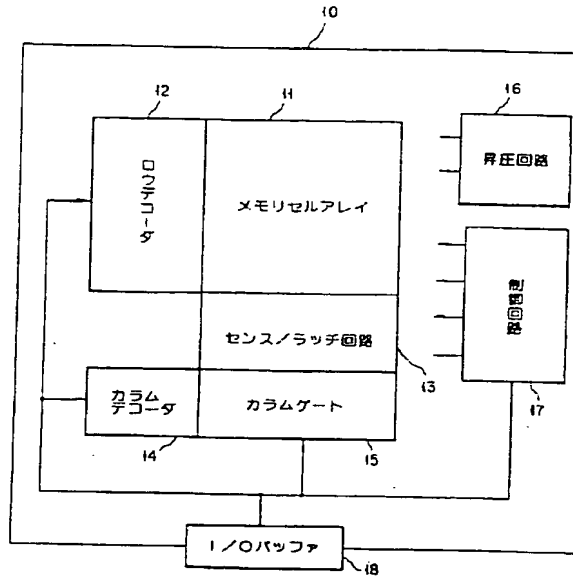
【符号の説明】

BL1、BL2～BLn…ビット線、21-1～21-n、22-1～22-n、2n-1～2n-n…NAND型フラッシュメモリ、13-1、13-2～13-n…センス／ラッチ回路、D、/D…データ線、VF…ペリファイ線、φ1、φ2、φ3、φ4、φ5…タイミング信号、LT…ラッチ回路、Q1、Q2、Q3、Q4、Q5…Nチャネルトランジスタ、MC1～MCn…メモリセル、WL1～WLn…ワード線、Q41、Q42、Q43、Q44…Pチャネルトランジスタ。

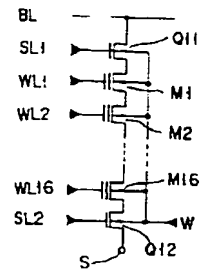
【図 1】



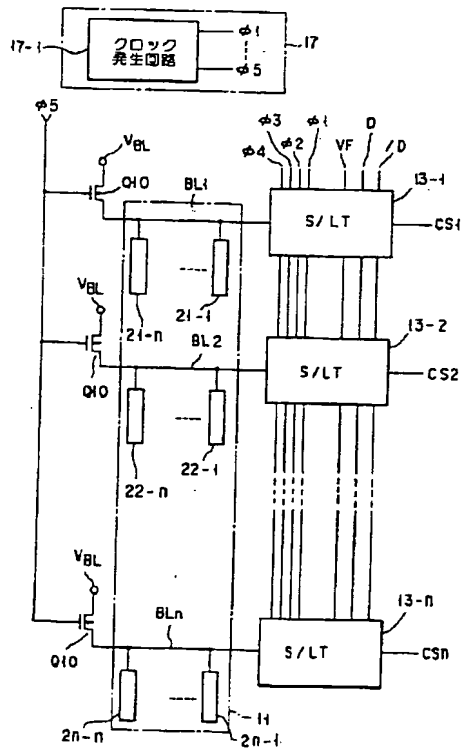
【図 2】



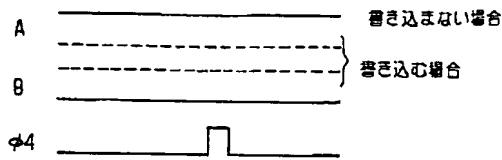
【図 20】



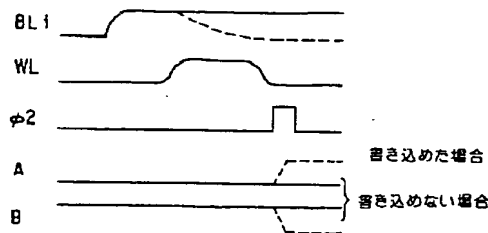
【図 3】



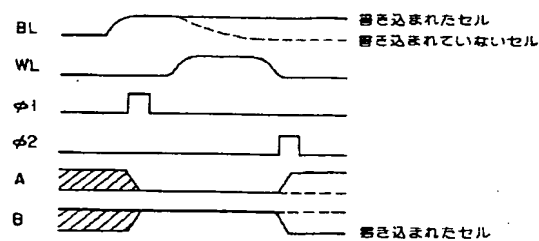
【図 4】



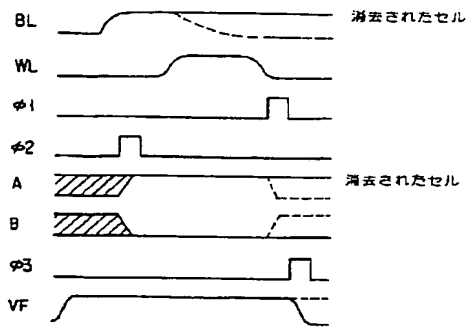
【図 5】



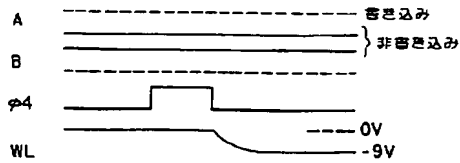
【図 6】



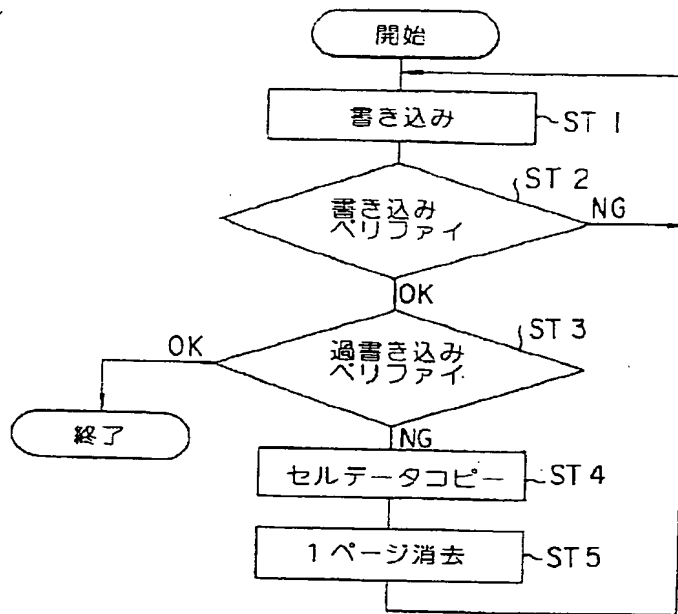
【図 7】



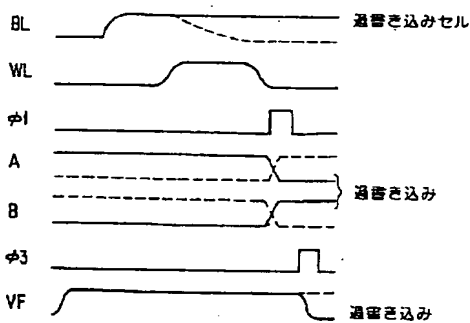
【図 15】



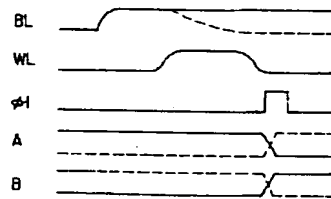
【図 8】



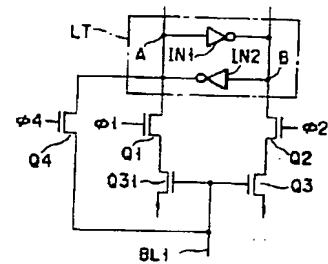
【図 9】



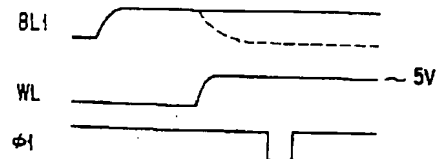
【図 10】



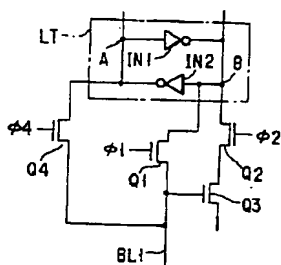
【図 12】



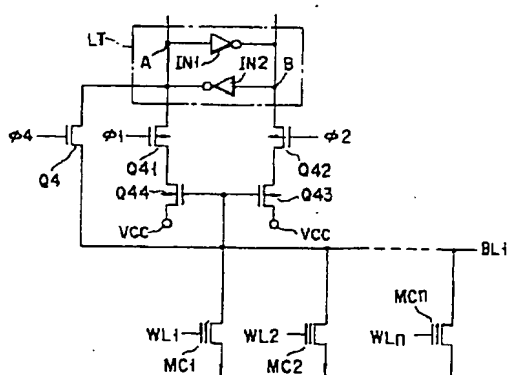
【図 18】



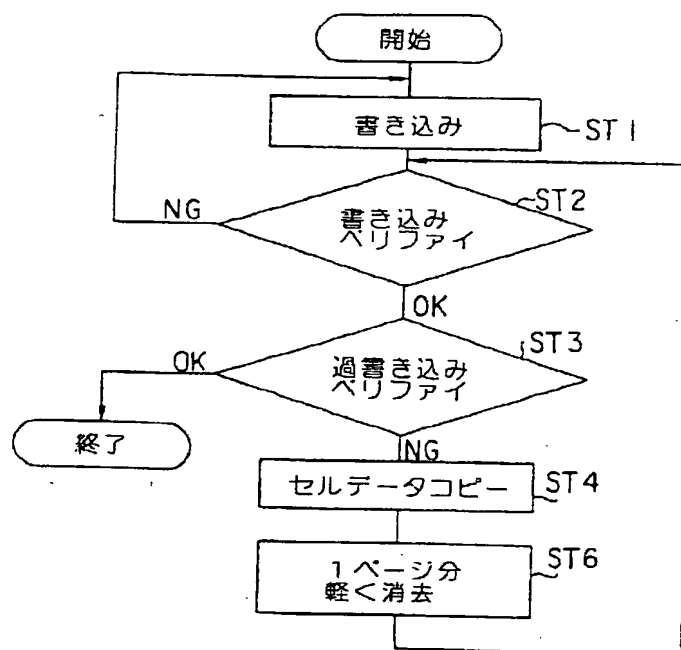
【図 13】



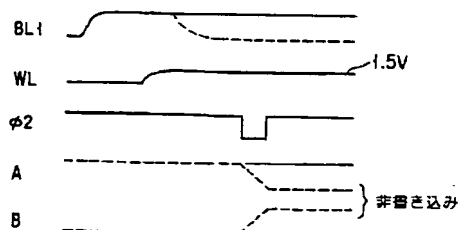
【図 14】



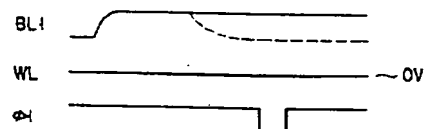
【図 11】



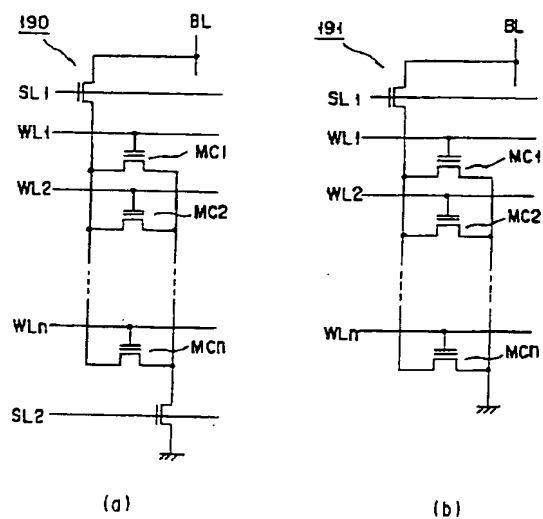
【図 16】



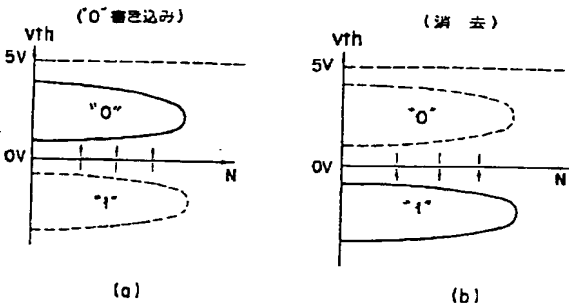
【図 17】



【図 19】



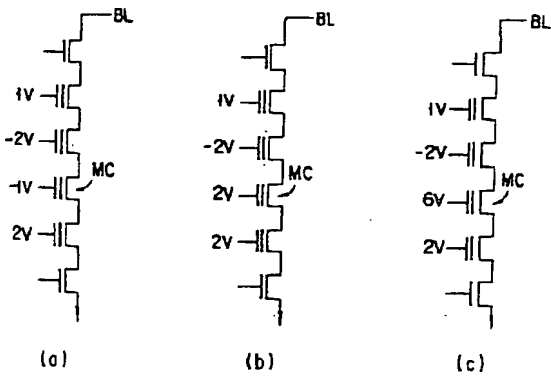
【図 2 1】



【図 2 2】

	読み出し	消去	書き込み
BL	5V プリチャージ	OPEN	"0"書き込み 0V "1"書き込み 9V
SL1	5V	0V	11V
WL	選択 0V 非選択 5V	0V	選択 18V 非選択 9V
SL2	5V	0V	0V
W	0V	18V	0V
S	0V	18V	0V

【図 2 3】



フロントページの続き

(51) Int. Cl. 6
H 0 1 L 29/788
29/792

識別記号 庁内整理番号 F I 技術表示箇所

H 0 1 L 27/10 4 3 4
29/78 3 7 1